

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiro INOUE

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-278228	July 23, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

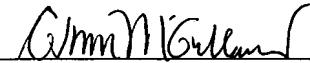
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月23日
Date of Application:

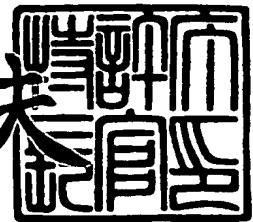
出願番号 特願2003-278228
Application Number:
[ST. 10/C] : [JP2003-278228]

出願人 三菱電機株式会社
Applicant(s):

2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康未



【書類名】 特許願
【整理番号】 546194JP01
【提出日】 平成15年 7月23日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 17/04
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 井上 貴公
【特許出願人】
【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361
【選任した代理人】
【識別番号】 100098280
【弁理士】
【氏名又は名称】 石野 正弘
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361
【手数料の表示】
【予納台帳番号】 163028
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項1】**

MOS系デバイスのゲートオン時にゲート電流を供給する第1のスイッチと、ゲートオフ時にゲート容量の電荷を放電する第2のスイッチとを有する半導体装置において、

前記ゲート電流を増大させるための第3のスイッチと、前記第1のスイッチのオン時に、前記第3のスイッチオンにし、このスイッチオンから第1の所定の時間後に第3のスイッチをオフにする第1のタイマー手段と、前記放電時の放電電流を増大させるための第4のスイッチと、前記第2のスイッチのオン時に、前記第4のスイッチオンにし、このスイッチオンから第2の所定の時間後に第4のスイッチをオフにする第2のタイマー手段とを備えたことを特徴とする半導体装置。

【請求項2】

前記1のスイッチおよび第3のスイッチからなるゲートオン用回路とは別に第2のゲートオン回路を備えると共に、前記MOS系デバイスのコレクタ電流を検出する手段を備え、前記コレクタ電流が所定値未満の場合は、前記ゲートオン用回路のみをアクティブとし、前記コレクタ電流が所定値以上の時は、第2のゲートオン回路をもアクティブにしてゲート電流を増大させる請求項1に記載の半導体装置。

【請求項3】

前記MOS系デバイスのターンオン時のコレクタ電流が所定値以上の時、前記MOS系デバイスが次にターンオンする次サイクルにて、第2のゲートオン回路をアクティブにする請求項2に記載の半導体装置。

【請求項4】

前記第1の所定の時間は、前記第1のスイッチおよび第3のスイッチのオンにより、前記MOS系デバイスがターンオンするに十分な時間であり、前記第2の所定の時間は、前記第2のスイッチおよび第4のスイッチのオンにより、前記MOS系デバイスがターンオフするに十分な時間である請求項1～3のいずれかに記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

この発明は、MOS系デバイスによる半導体装置において、外部より信号を受けて実際にデバイス自体が動作するまでの時間を制御することにより、応答性向上による効率の改善、EMIノイズの低減および損失の低減を目的としたものである。

【背景技術】

【0002】

外部信号によって駆動される終段のMOS系デバイスにおいては、オフの外部信号を受けてから、デバイスが実際にオフ状態になるまでの遅れ時間が大きい。これは、デバイスのゲート回りの容量に起因するものである。従来、ゲートのオン、オフについてはゲートに直列に挿入した抵抗を調節して、ゲートのチャージおよびディスチャージを適正にしていた。即ち、ゲート電圧の立上がり及び立下り時間を、ゲート容量Cとゲート抵抗Rで決まるCR時定数に基づき決定していた。

【0003】

デバイス自身の電流が流れ始めと、電流の切れ始めのタイミングは、デバイス固有のしきい値電圧によるものである。特にデバイスのオフ時のスイッチングは、デバイス固有の速度に関係する。従って、ある値のゲート抵抗のみによって、デバイスのゲートチャージ時間及びディスチャージ時間を規定することは、デバイスのしきい値電圧により生じる遅延時間とは別の遅延時間が新たに生じることになり、効率を低下させてしまう。

【0004】

また、固定のゲート抵抗にてゲートのチャージ及びディスチャージを行うと、ターンオン時のスイッチング速度が低電流領域では定格電流時に比べ速くなる。その為、デバイスに並列接続されているフリーホイールダイオード(FWD)のターンオン時のdV/dtが大きくなり、EMIノイズ悪化の要因となっている。

【0005】

更に、EMIノイズの低減のためにターンオン時のスイッチング速度を遅くすれば、スイッチング時の損失が大きくなり、このようにノイズ発生とスイッチング時の損失とはトレードオフの関係があり、従来は、双方で納得できるようなポイントを定め、それに対応してゲート抵抗の値を選択していた。

【0006】

そこで低損失で低ノイズな駆動を可能とするために、IGBTのゲートを駆動するスイッチにオン抵抗の異なる複数のMOSFETを用い、これらのスイッチを順次組合せてオン抵抗を過渡的に変化させて駆動能力を変えるようにしたものがある(例えば特許文献1参照)。

【0007】

また、低ノイズ化のために、IGBTのコレクタ検出電流におけるdI/dtを指令値とコンパレータで比較し、その比較結果に基づき、スイッチをオンオフさせてゲート抵抗値を瞬時に変化させるものがある(例えば特許文献2)。

【0008】

【特許文献1】特開2001-223571号「電圧駆動型半導体素子のゲート駆動装置」([0005]、図2)

【特許文献2】特開平10-150764号「電力変換器におけるゲート駆動回路」([0008]、図6)

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献1のものは、ゲート電圧を制御するタイプのものであり、また、多数のスイッチが必要であり、それらのスイッチをIGBTの特性に応じて順次スイッチオンさせるた

めの複雑な制御を必要とした。

【0010】

特許文献2において、コンパレータの比較基準値付近のコレクタ電流が流れているオン動作中にゲート抵抗値を急変させると、IGBTの動作が不安定となり、出力電流が発振することもある。

【0011】

この発明は、応答性向上による効率の向上、EMIノイズの低減および損失の低減を図りつつ、比較的簡単な回路で安定動作の半導体装置を提供するものである。

【課題を解決するための手段】

【0012】

半導体装置に含まれるIGBTのごときMOS系デバイスは、ゲートオンのために、ゲート電流を供給する第1のスイッチと、ゲートオフのために、ゲート容量の電荷を放電する第2のスイッチとを有する。本発明の半導体装置では、そのゲートオン時に流すゲート電流を増大させるために第3のスイッチを備え、そして、前記第1のスイッチのオン時に、前記第3のスイッチオンにし、このスイッチオンから第1の所定の時間後に第3のスイッチをオフにする第1のタイマー手段とを備える。また、ゲートオフ時に流す放電電流を増大させるために第4のスイッチを備え、そして、前記第2のスイッチのオン時に、前記第4のスイッチオンにし、このスイッチオンから第2の所定の時間後に第4のスイッチをオフにする第2のタイマー手段とを備える。

【発明の効果】

【0013】

この発明によれば、ゲートオンするために、第1のスイッチをオンにするとと共に、第3のスイッチを所定の時間オンとして、ゲート電流を第1の所定の時間のみ増大させるようにしたので、ゲートがターンオンするまでの時間を短くでき、また、ゲートオフするために、第2のスイッチをオンにするとと共に、第4のスイッチを第2の所定の時間オンにして、ゲートの放電電流を所定の時間のみ増大させるようにしたので、ゲートがターンオフするまでの時間を短縮できる。この構成により、デバイスの損失を低減でき、遅延時間も短縮できる。

【発明を実施するための最良の形態】

【0014】

実施の形態1.

図1は、本発明の実施の形態1における半導体装置における終段のMOS系パワー素子とその駆動系を示した回路を示す。フリーホイールダイオードDが付加されたパワー素子(例えはIGBT)1のゲートをターンオンするために、電源VDDとゲートの間にトランジスタによるスイッチSWon1、SWon2(上記第1および第3スイッチに対応)が直列にして挿入される。スイッチSWon2に対しては定電流素子4が並列に接続される。

【0015】

そして、ゲートをターンオフするために、ゲートとエミッタとの間に、定電流素子5を介して、トランジスタからなるスイッチSWoff1(上記第2スイッチに対応)が接続され、更に定電流素子7を介してスイッチSWoff2(上記第4スイッチに対応)が接続されている。

【0016】

コンパレータ9の「+」入力部には、入力信号VINが入力される共にプルアップ抵抗10が接続されている。そして「-」入力部には、基準電圧源11が接続されている。そのコンパレータ9の出力信号は、インバータ12を介してアンプ13の入力部に供給される。そのアンプ13の非反転出力は、ターンオン信号として、前記スイッチSWon1に供給されると共にタイマー14に入力される。このタイマー14(上記第1のタイマー手段に対応)は、そのターンオン信号の入力があると、前記スイッチSWon2をオンにし、そのスイッチオンから100ns後にそのスイッチSWon2をオフにする。

【0017】

また、前記アンプ13の反転出力は、ターンオフ信号として、前記スイッチSWoff1に供給されると共にタイマー15に入力される。このタイマー15(上記第2のタイマー手段に対応)は、そのターンオフ信号の入力があると、前記スイッチSWoff2をオンにし、そのスイッチオンから200ns後にそのスイッチSWoff2をオフにする。

【0018】

上述した回路の動作を図2のタイムチャートを参照して説明する。外部からの入力信号VINが、ハイレベルのオフ信号(IGBT1をターンオフする信号)からローレベルのオン信号(IGBT1をターンオンする信号)に切り替る過程で、入力オンしきい値(ここでは1.5V)に達すると(時点T1)、スイッチSWon1およびタイマー14を介してスイッチSWon2がオンになる。この時点T1では、スイッチSWoff1はオン(後の説明でわかるように入力信号VINがオフの時はオンになっている)からオフになり、スイッチSWoff2はオフのままである。

【0019】

従って、時点T1にてオンになったスイッチSWon1、スイッチSWon2を通じて、ゲート電流Igが流れ、ゲートチャージが開始される。このとき両スイッチSWon1、SWon2のオンにより、大きなゲート電流Igが流れるため、ゲート電圧がゲートのオンしきい値に達するまでの時間は短く、従って、IGBT1は、スイッチSWon1、SWon2のオン(時点T1)から短時間でターンオンする。

【0020】

スイッチSWon1およびSWon2のオン(時点T1)から200ns後にスイッチSWon2のみがオフになるため、ゲート電流Igはほぼ半分程度に減少するが、IGBT1のスイッチオンを維持するに十分な値である。この200nsの時間は、スイッチSWon1、SWon2のオンからIGBT1がスイッチオンするまでの遅延時間よりも長い目の時間として設定したものである。

【0021】

次に、前記入力信号VINが、ローレベルのオン信号からハイレベルのオフ信号に切り替る過程で、入力オフしきい値(ここでは2.0V)に達すると(時点T2)、スイッチSWon1はオフになる(スイッチSWon2はオフのまま)。一方、時点T2にて、スイッチSWoff1およびタイマー15を介してSWoff2がオンになる。

【0022】

ゲートは、電源Vccから切離されると同時に、スイッチSWoff1、SWoff2ccを通じてエミッタに接続されるため、ゲートディスチャージ(図2では負の電流)が開始される。このとき両スイッチSWoff1、SWoff2のオンにより、大きな放電電流が流れるため、ゲート電圧がゲートのオフしきいに低下するまでの時間は短く、従って、IGBT1は、スイッチSWoff1、SWoff2のオン(時点T2)から短時間でターンオフする。

【0023】

スイッチSWoff1およびSWoff2のオン(時点T2)から200ns後にスイッチSWoff2のみがオフになるため、ゲート放電電流はほぼ半分程度に減少するが、IGBT1のスイッチオフを維持するに十分な値である。この200nsの時間は、スイッチSWoff1、SWoff2のオンからIGBT1がスイッチオフするまでの遅延時間よりも長い目の時間として設定したものである。

【0024】

このようにIGBT1に対するゲートチャージおよびゲートディスチャージ電流を変化させることで、外部入力信号からデバイスの動作完了までの時間を短縮して効率を上げることができる。更に、スイッチング時間(遅延時間)を短縮することで損失を低減できる。

【0025】

尚、図1では、スイッチSWon1とSWon2とを直列にして設けたが、両スイッチを並列に接続し、スイッチSWon2のスイッチオンによりゲート電流Igが増大するようにもよい。

【0026】

実施の形態2.

実施の形態2では、ターンオン時のIGBTに流れた電流の大きさに応じて、そのIGBTが次にターンオンする次サイクルでゲートのチャージ電流を切り替えてターンオン時のスイッチング速度を切り替えるようにしたものであり、その回路構成を図3に示す。

【0027】

図3の回路において、図1と同一の部品については同じ参照番号を付している。この図3では、スイッチSWon1、SWon2、定電流素子4、タイマー14からなるターンオン用回路とは別に、第2のターンオン用回路として、スイッチSWon3、SWon4、定電流素子21、タイマー22を別途追加している。そしてこの第2のターンオン回路を制御するために以下の回路が付加されている。

【0028】

IGBT1は、コレクタ電流Icの検出用として第2のエミッタを備え、その第2のエミッタ回路に直列に挿入した抵抗23の発生電圧は、コンパレータ24の「+」入力部に入力される。このコンパレータ24の「-」入力部には基準電圧源25が接続され、このコンパレータ24の出力は、ラッチ回路26のD端子に入力され、そのラッチ回路26のQ端子よりの出力は更に別のラッチ回路27のD端子に入力される。そして前記コンパレータ9の出力は、桁上げ信号として、ラッチ回路26のC端子に入力されると共にインバータ28を通じてラッチ回路27のC端子に入力される。

【0029】

ラッチ回路27のQ端子よりの出力は、アンドゲート29の一方の入力部に供給され、他方の入力部には、前記アンプ13の非反転出力が入力される。そして、そのアンドゲート29の出力が、前記スイッチSWon3およびタイマー22に駆動信号として供給される。

【0030】

上述した回路の動作を図4のタイムチャートを参照して説明する。(N-1)パルス目の入力信号VINが、ローレベルのオン信号のときにターンオンしたIGBT1に流れているコレクタ電流Icが定格電流の1/2を超えているか否かがコンパレータ24によって判定されておりその判定結果がラッチ回路26に供給されている。

【0031】

この(N-1)パルス目の入力信号VINにおいて、ローレベルからハイレベルのオフ信号(IGBT1をターンオフする信号)に切り替る過程で、入力オフしきい値を超えると(時点T3)、コンパレータ9からハイレベルが出力される。これにより、ラッチ回路26でラッチしていた信号がラッチ回路27に供給される。

【0032】

次に、入力信号VINが、ハイレベルのオフ信号からローレベルのオン信号に切り替る過程で、入力オンしきい値を下回って、(n-1)パルス目からnパルス目に移行する時(時点T4)、スイッチSWon1、SWon2がオンになるが、このとき、前記の時点T3でコレクタ電流Icが定格電流の50%以上の場合には、ラッチ回路27よりアンドゲート29にハイレベルが供給されることにより、スイッチSWon3、SWon4もオンとなる。

【0033】

このように全スイッチSWon1～SWon4がオンになったときは、ゲート電流Igは、予め設定した値の100%となり、そのゲート電流IgでIGBT1がスイッチオンされる。この時点T4から100ns後にタイマー14、22によって、スイッチSWon2、SWon4がオフとなるので、ゲート電流Igは50%の出力に低下する。

【0034】

一方、時点T3でコレクタ電流Icが定格の50%未満であった場合は、時点T4でアンドゲート29はローレベルを出力したままとなっているため、スイッチSWon1、SWon2のみがオンとなり、ゲート電流Igは50%の出力となる。この場合の動作は図1の場合と同じになる。

【0035】

以上説明した動作のように、IGBT1の高電流動作(定格電流の50%以上)では、ゲート電流 I_g を大きくしてIGBT1のスイッチング速度を速くしているため、従来のような固定のゲート抵抗を使用していものに比べスイッチング時の損失を低減できる。一方、IGBT1の低電流動作(定格電流の50%未満)では、ゲート電流 I_g を小さくしてスイッチング速度を遅くすることで、フリーホイールダイオードDのターンオフ時の dV/dt も小さくなり、EMIノイズの低減に効果がある。

【0036】

又、IGBT1の高電流動作が検出された時、ゲート電流 I_g を直ちに大きくするのではなく、IGBT1が次にターンオンする次サイクルにて行うようにしているため、特許文献2で述べたように、IGBT1の動作が不安定になって出力電流が発振するといった不具合をなくせる。

【図面の簡単な説明】

【0037】

【図1】実施の形態1を示した半導体装置の主要部を示した回路図

【図2】図1の回路の動作を示したタイムチャート

【図3】実施の形態2を示した半導体装置の主要部を示した回路図

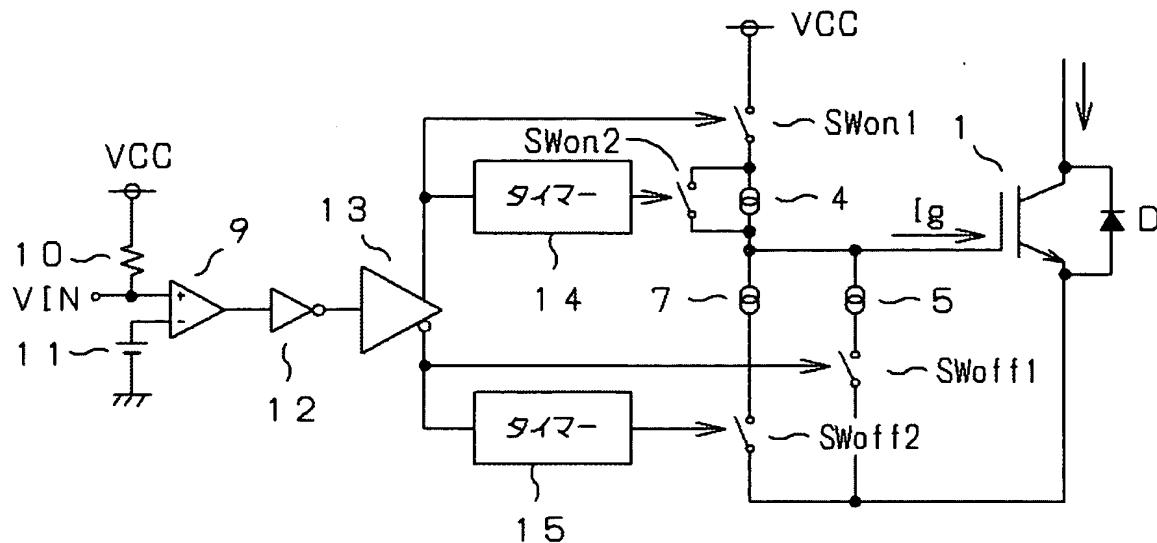
【図4】図3の回路の動作を示したタイムチャート

【符号の説明】

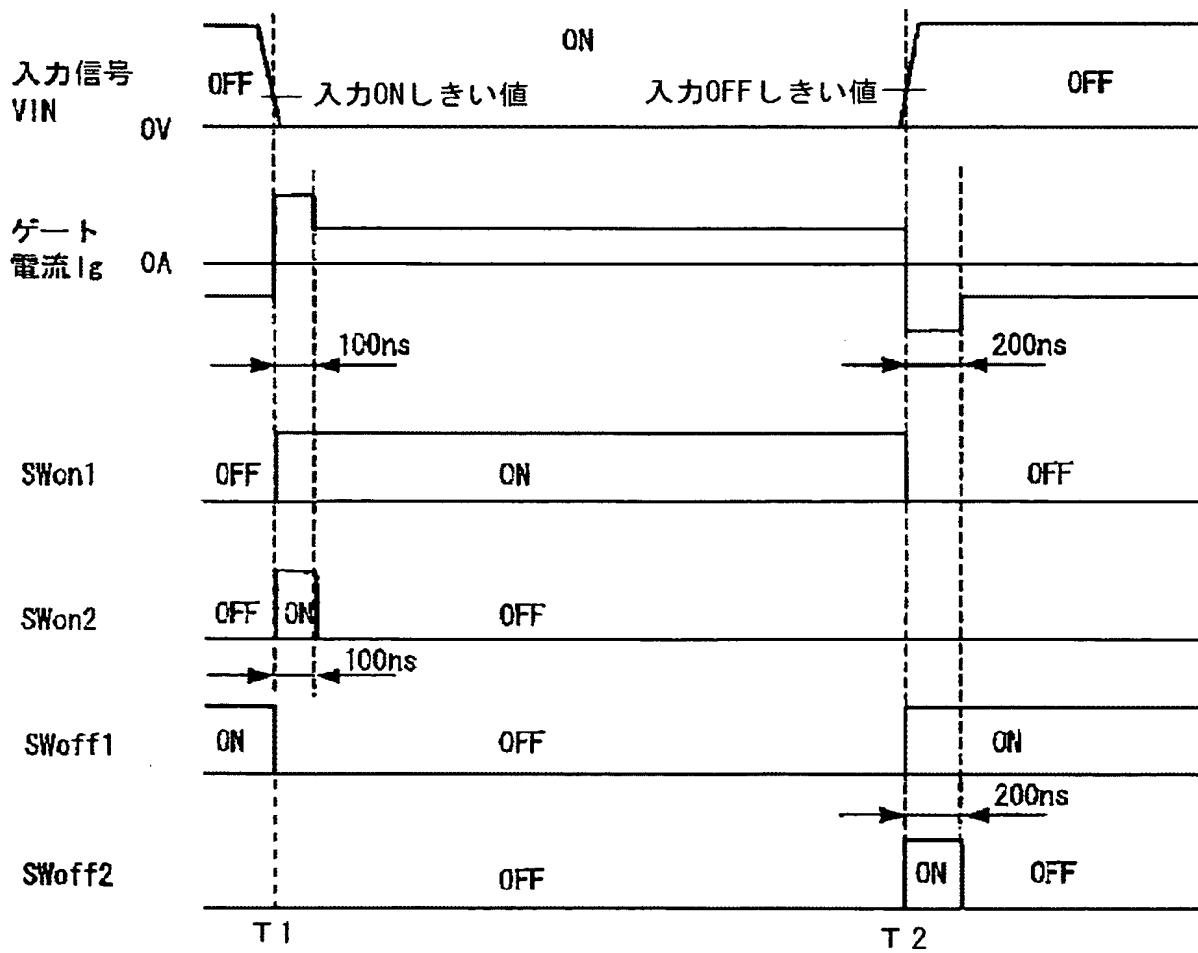
【0038】

1 IGBT、5 定電流素子、9 コンパレータ、11 基準電圧源、12 インバータ、13 アンプ、14 タイマー、15 タイマー、22 タイマー、24 コンパレータ、25 基準電圧源、26 ラッチ回路、27 ラッチ回路、28 インバータ、29 アンドゲート、SW スイッチ、D フリーホイールダイオード

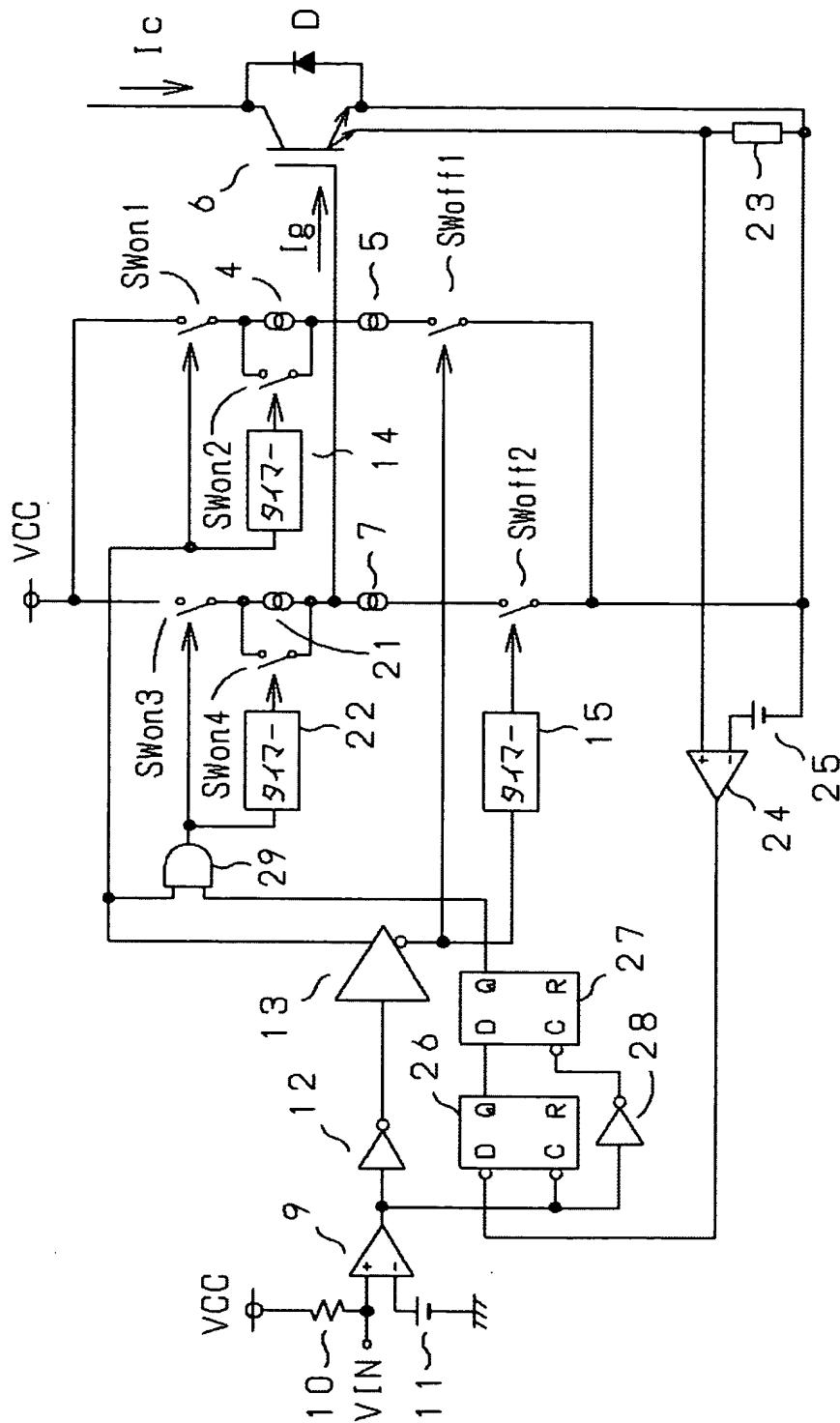
【書類名】図面
【図1】



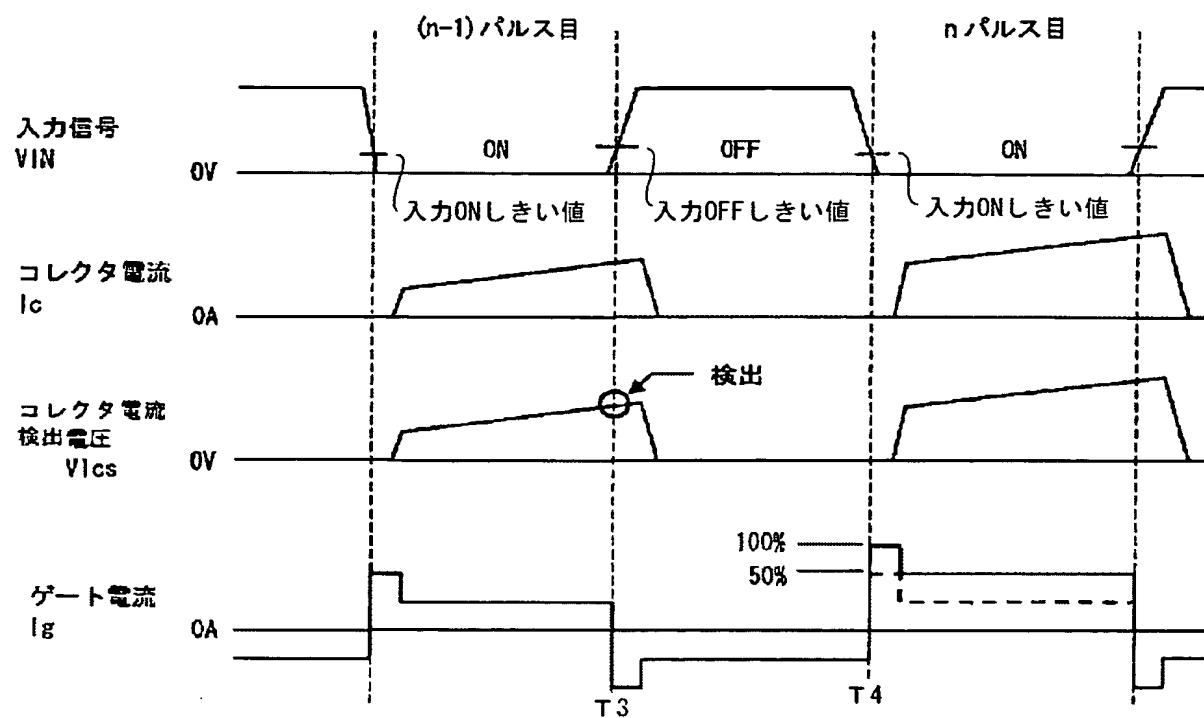
【図2】



【図3】



【図4】



【書類名】要約書

【要約】

【課題】 ゲート抵抗を通じてゲートをオンオフするものでは、ターンオンまでの遅延時間が長くなる。

【解決手段】 IGBT 1のゲートオン時にスイッチSWon1をオンにしてゲート電流を供給し、ゲートオフ時にスイッチSWoff1をオンにしてゲート容量の電荷を放電する半導体装置において、前記ゲート電流を増大させるためにスイッチSWon2を備え、前記スイッチSWon1のオン時に、前記スイッチSWon2を第1の所定の時間だけオンにするタイマー14を備える。そして、前記放電時の放電電流を増大させるためにスイッチSWoff2を備え、前記のスイッチSWoff1のオン時に、前記スイッチSWoff2を第2の所定の時間だけオンにするタイマー15を備える。

【選択図】図1

特願 2003-278228

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社